

PAT-NO: JP363278252A  
DOCUMENT-IDENTIFIER: JP 63278252 A  
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE  
PUBN-DATE: November 15, 1988

INVENTOR-INFORMATION:

NAME

IKEDA, ATSUHIKO

ASSIGNEE-INFORMATION:

NAME

SEIKO INSTR & ELECTRONICS LTD

COUNTRY

N/A

APPL-NO: JP62112931

APPL-DATE: May 8, 1987

INT-CL (IPC): H01L021/88

US-CL-CURRENT: 204/192.25, 438/102

ABSTRACT:

PURPOSE: To prevent a semiconductor substrate from being damaged and to form a film whose step coverage is excellent by gradually increasing the power of a high-frequency bias during a sputtering process.

CONSTITUTION: When a sputtering process is executed while the power of a high-frequency bias is lowered, a metal is applied sufficiently to the bottom of a semiconductor substrate without damaging the semiconductor substrate. Then, the power of the high-frequency bias is increased, and a metal film 3 whose step coverage at a stepped part is excellent is formed.

COPYRIGHT: (C)1988,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-278252

⑮ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)11月15日

H 01 L 21/88

B-6708-5F

審査請求 未請求 発明の数 1 (全2頁)

⑭ 発明の名称 半導体装置の製造方法

⑰ 特 願 昭62-112931

⑱ 出 願 昭62(1987)5月8日

⑲ 発 明 者 池 田 敦 彦 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑳ 出 願 人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

㉑ 代 理 人 弁理士 最 上 務 外1名

#### 明 細 書

#### 1. 発明の名称

半導体装置の製造方法

#### 2. 特許請求の範囲

半導体表面に導電層を被着し、前記導電層を被着するに当たり半導体装置に高周波電圧を印加し、前記高周波電圧を低電圧から高電圧へ変化させながら前記導電層を被着することを特徴とする半導体装置の製造方法。

#### 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体装置における導電層の製造方法に関する。

(発明の概要)

この発明は、半導体装置の電極配線材料の被着工程において、前記半導体表面に高周波電力を低電力から高電力へ変化させながら印加することにより、上記電極配線材料の段差被覆性の向上と半

導体装置基板の損傷を防止するようにしたものである。

(従来の技術)

従来、半導体装置の電極配線材料の被着工程はスパッタ法により行われていた。

(発明が解決しようとする問題点)

しかし、従来のスパッタ法は、半導体装置の微細化により段差被覆性に問題があった。そこで、半導体装置に高周波電力を印加するバイアスパッタが一部で使用されている。しかし、スパッタの初期工程において、半導体装置基板を損傷する可能性があるという欠点があった。

そこで、この発明は従来のこのような欠点を解決するため、段差被覆性の向上と半導体装置基板の損傷の防止を目的としている。

(問題点を解決するための手段)

上記問題点を解決するために、この発明はバイアスパッタ法において、半導体装置基板にかかる高周波バイアスのパワーを低く設定し、徐々に高周波バイアスのパワーを高くし、半導体装置の

基板の損傷を防止するようにした。

〔作用〕

上記のように、半導体装置にかかる高周波バイアスのパワーを徐々に上げていくと、コンタクトホール底部に電極材料がスパッタ初期に被着し、半導体装置基板を保護できるのである。

〔実施例〕

以下に、この発明の実施例を図面に基づいて説明する。第1図は、半導体装置基板に金属をスパッタにて被着せしめたものである。この際、高周波バイアスのパワーを十分に下げてスパッタすることにより、半導体基板に損傷を与えることはない。第2図は、高周波バイアスのパワーを下げてスパッタすることにより、半導体基板底部に十分に金属が被着した後に、高周波バイアスのパワーを上げたものである。段差部の被覆性に優れた金属膜がこれにより形成される。

〔発明の効果〕

本発明は、以上説明したように、スパッタにおける高周波バイアスのパワーを徐々に上げること

により、半導体基板の損傷を防ぎ段差被覆性に優れた膜の生成に効果がある。

4. 図面の簡単な説明

第1図は、本発明の一実施例を示す断面図、第2図は本発明の他の実施例を示す断面図である。

- 1・・・半導体基板
- 2・・・半導体酸化膜
- 3・・・被着金属

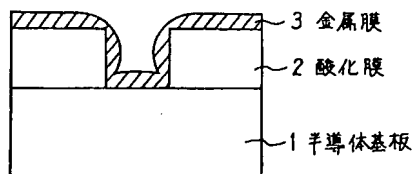
以 上

出願人 セイコー電子工業株式会社

代理人 弁理士 最 上 (特許他1名)

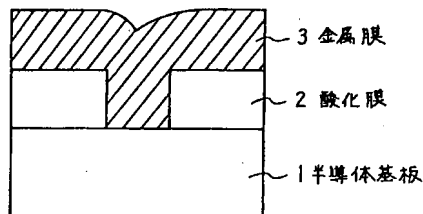
- 3 -

- 4 -



低パワーバイアススパッタ法による素子断面図

第 1 図



高パワーバイアススパッタ法による素子断面図

第 2 図